

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-171233

(43)Date of publication of application : 27.09.1984

(51)Int.Cl.

H04L 7/02

(21)Application number : 58-046343

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.03.1983

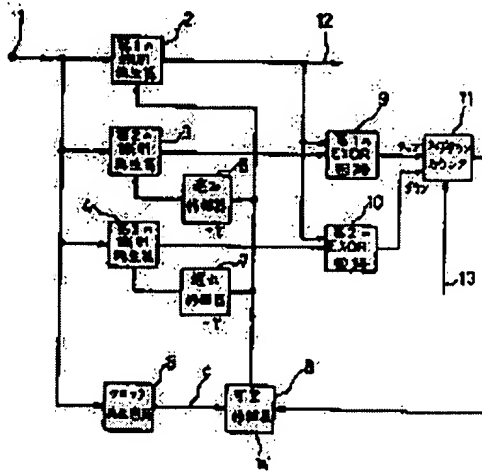
(72)Inventor : FUJINO TADASHI

(54) AUTOMATIC LOCK PHASE SETTING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate automatically a shift of the phase of a regenerated clock to a receiving signal waveform by using identification regenerating outputs having advanced and lagged timing in addition to the identification regenerating output so as to control the amount of phase shift of a variable phase shifter.

CONSTITUTION: A regenerating circuit 5 regenerates a clock from a received base band signal 1 and a variable phase shifter 8 shifts the phase of the clock. An identification regenerating device 2 uses an output of the phase shifter 8 so as to identify and regenerate a received data signal from the signal 1. Lead and lag phase shifters 6, 7 leads and lags respectively the phase of the output of the phase shifter 8 and the identification and regenerating devices 3, 4 perform identification and regeneration by using respectively the output of the phase shifters 6, 7. Outputs of the regenerating devices 2, 3 and 2, 4 are inputted respectively to exclusive OR circuits 9, 10 and a phase shift amount control means 11 controls the amount of phase shift of the phase shifter 8 by an output of the circuits 9, 10. As a result, even if a distortion occurs on a transmission line, the distortion is changed timewise and the phase of the regenerated clock is shifted in comparison with the phase of the received signal waveform, then the shift is eliminated automatically.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭59—171233

⑪ Int. Cl.³
H 04 L 7/02

識別記号

庁内整理番号
Z 7608—5K

⑬ 公開 昭和59年(1984)9月27日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 自動クロック位相設定回路

三菱電機株式会社通信機製作所
内

⑮ 特 願 昭58—46343

⑯ 出 願 人 三菱電機株式会社

⑰ 出 願 昭58(1983)3月17日

東京都千代田区丸の内2丁目2
番3号

⑱ 発 明 者 藤野忠

尼崎市塚口本町8丁目1番1号

⑲ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

自動クロック位相設定回路

2. 特許請求の範囲

(1) 受信ベースバンド信号からクロックを再生するクロック再生回路と、上記クロックを移相する可変移相器と、該可変移相器の出力の位相を進める進み移相器と、上記可変移相器の出力の位相を遅らせる遅れ移相器と、上記可変移相器の出力を用いて上記受信ベースバンド信号から受信データ信号を識別再生する第1の識別再生器と、上記受信ベースバンド信号が入力されそれぞれ上記進み移相器および遅れ移相器の出力を用いて識別再生動作を行う第2および第3の識別再生器と、上記第1、第2の識別再生器の出力が入力される第1の排他的論理和回路と、上記第1、第3の識別再生器の出力が入力される第2の排他的論理和回路と、上記第1および第2の排他的論理和回路の出力により上記可変移相器の移相量を制御する移相量制御手段とを備えたことを特徴とする自動ク

ロック位相設定回路。

3. 発明の詳細な説明

この発明はデジタル伝送用の受信器の識別再生において再生クロックの位相設定を行なう自動クロック位相設定回路に関するものである。

従来、この種の装置として第3図に示すものがあつた。図において、(4)は受信ベースバンド信号(1)から再生クロック信号を再生するクロック再生回路、(3)は再生クロック信号を移相する手動移相器、(2)は手動移相器(3)により移相されたクロックを用いてベースバンド信号(1)より受信データ信号(5)を識別再生する識別再生器である。

次に動作について説明する。受信データ信号(5)は、たとえば受信ベースバンド信号(1)から再生された再生クロック信号(3)を用いて、識別再生器(2)で受信ベースバンド信号(1)をサンプリングすることによつて得るのが一般的である。

第2図は、受信ベースバンド信号のアイパターンを示すが、上記のサンプリングを行う時点は、この図の一点鎖線で示した時点、即ち、アイが最

も大きく開口している時点にある必要がある。

従来、サンプリング時点はこのアイ開口度の最も大きい時点に設定するには、クロック再生回路(4)からの再生クロック信号cの位相を手動移相器(3)により手動で設定するのが常であつた。

しかしながら、伝送信号に、フェージング、非線形性など伝送路によるひずみが生じて来た場合、クロックの位相は、当初設定した位相からずれて来て、初期にアイ開口度の最も大きい時点に設定したはずのクロック位相は、もはやアイ開口度の最大点からずれてしまうことがある。

この発明は上記のような従来のものの問題点を鑑みてなされたもので、手動移相器の代りに可変移相器を用い、第1の識別再生器の他に該識別再生器より進んだ又は遅れたタイミングで識別再生を行なう第2、第3の識別再生器を設け、第2、第3の両識別再生器の出力を用いて上記可変移相器の移相量を制御することにより、上記のように伝送路に歪が生じて来てこれが原因で受信ベースバンド信号をサンプリングする再生クロック信号

の位相がずれて来た場合、自動的に位相のずれを除去できる自動クロック位相設定回路を提供することを目的としている。

以下、この発明の一実施例を図について説明する。

第1図において、(1)は受信ベースバンド信号、(5)は受信ベースバンド信号(1)よりクロックcを再生するクロック再生回路、(8)はクロック再生回路(5)からのクロックcを移相する可変移相器、(6)は可変移相器(8)の出力の位相を τ だけ進める進み移相器、(7)は可変移相器(8)の出力の位相を τ だけ遅らせる遅れ移相器、(2)は例えばディレイフリップフロップ(DFF)で構成され、可変移相器(8)の出力を用いて受信ベースバンド信号(1)から受信データ信号d2を識別再生する第1の識別再生器、(3) (4)は同じくDFF等で構成され、受信ベースバンド信号(1)が入力されそれぞれ上記進み移相器(6)および遅れ移相器(7)の出力を用いて識別再生動作を行なう第2および第3の識別再生器、(9)は第1、第2の識別再生器(2)(3)の出力が入力される第1の

排他的論理和(EXOR)回路、(10)は第1、第3の識別再生器(2)(4)の出力が入力される第2の排他的論理和(EXOR)回路、(11)は上記第1および第2の排他的論理和回路(9)(10)の出力により上記可変移相器(8)の移相量を制御する移相量制御手段としてのアップ/ダウンカウンタで、アップ入力端子には第1の排他的論理和回路(9)の出力が、ダウン入力端子には第2の排他的論理和回路(10)の出力がそれぞれ入力されている。また(13)はアップ/ダウンカウンタ(11)のリセット信号である。

次に動作について説明する。

今、伝送路の歪によつてクロック再生回路(5)の出力クロックc位相が Δ だけ遅れたとする。この場合、第1の識別再生器(2)では、第2図のサンプリング時点t₁に示すように、サンプリング時点は、アイ開口最大点より Δ だけ遅れることになる。また第2の識別再生器(3)ではサンプリング時点t₂で識別再生することになり、又、第3の識別再生器(4)では、サンプリング時点t₃で識別再生することになる。識別再生器(2)出力は受信データ信号d2で

あり、識別再生器(3)及び(4)出力は受信データ信号d2に比べて $+\tau$ 進み又は遅れのクロックでサンプリングしている故、これを受信データと考えると、受信データとしては、識別再生器(2)出力データよりは誤り率は大きい。ただし τ は $\tau > \Delta$ であるように設定しておくことにする。

そして、識別再生器(2)(3)の排他的論理和を第1のEXOR回路(9)でとると、その出力は両者の出力が不一致の場合'1'となり、一致する場合'0'となる。ここで、EXOR回路(9)の出力が'1'となつた場合は、識別再生器(3)出力データが誤つたと考えるのが普通である。識別再生器(2)(4)出力の排他的論理和は同様に第2のEXOR回路(10)でとることとする。

さて、 $\Delta = 0$ ならば、EXOR回路(9)出力に'1'の出現する頻度とEXOR回路(10)出力に'1'の出現する頻度は同等である。

識別再生器(2)のサンプリング時点t₁がアイ開口最大点より Δ だけ遅れた場合、サンプリング時点のアイ開口度は、識別再生器(3)の τ 進みのサンプ

リングの方が識別再生器(4)の遅れのサンプリングよりも大きい故、E X O R回路(3)出力の'1'発生頻度の方がE X O R回路(4)のそれよりも小さくなる。したがって、E X O R回路(3)出力とE X O R回路(4)出力をそれぞれアップ/ダウンカウンタ(4)のアップ入力端子及びダウン入力端子に入力して、一定時間カウントすれば、アップ/ダウンカウンタ(4)の内容は減少する。

同様に識別再生器(2)のサンプリング時点 t_1 がアイ開口最大点より Δ だけ進んだ場合、アップ/ダウンカウンタ(4)の内容は増加する。従つて、アップ/ダウンカウンタ(4)にスレッシュホールド ϵ を設けておき、まずリセット信号(3)でアップ/ダウンカウンタ(4)をリセットした後、一定時間カウントし、カウント終了時にカウント値 A をチェックし、 $|A| < \epsilon$ ならばこのアップ/ダウンカウンタ(4)は何もせず、 $A < -\epsilon$ ならば可変移相器(8)の出力位相を少々進め、 $A > +\epsilon$ ならば可変移相器(8)の出力位相を少々遅らせるようにして、同時にリセット信号(3)によつてアップ/ダウンカウンタ(4)をリセッ

トした後、更にカウントを再開すれば、識別再生器(2)のサンプリング時点は常にアイ開口度の最大付近におくことが可能となる。

なお、上記実施例の説明はベースバンド伝送について述べたが、本発明はこれに限定されるものではなく、2相、4相など、任意の整数 M に対し、 M 相P S K信号伝送についても適用でき、同様の効果を得ることができる。

以上のように、この発明によれば手動移相器の代りに可変移相器を用い第1の識別再生器の他に第2、第3の識別再生器を設け、この第2、第3の識別再生器の出力を用いてアイパターン最大開口点からの第1の識別再生器のサンプリング時点のずれの方向を検出しこれにより可変移相器の移相量を制御してサンプリング時点を元に戻すようにしたので、伝送路に歪が生じ、その歪が時々刻々変化したりすることが原因で、再生クロックの位相が受信信号波形の位相に比べてずれて来るような場合でも、自動的にそのずれを除去することができる効果がある。

4. 図面の簡単な説明

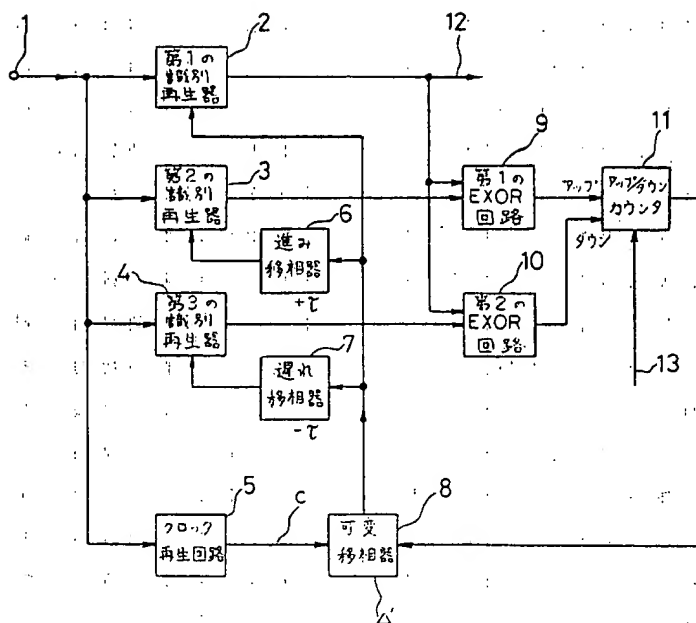
第1図は、本発明の一実施例による自動クロック位相設定回路のブロック図、第2図は受信ベースバンド信号のアイパターンの一例およびサンプリング時点を示す図、第3図は従来の自動クロック位相設定回路のブロック図である。

図において、(2)ないし(4)は第1ないし第3の識別再生器、(5)はクロック再生回路、(6)は進み移相器、(7)は遅れ移相器、(8)は可変移相器、(9)は第1、第2の排他的論理和回路、(10)はアップダウンカウンタ(移相量制御手段)である。

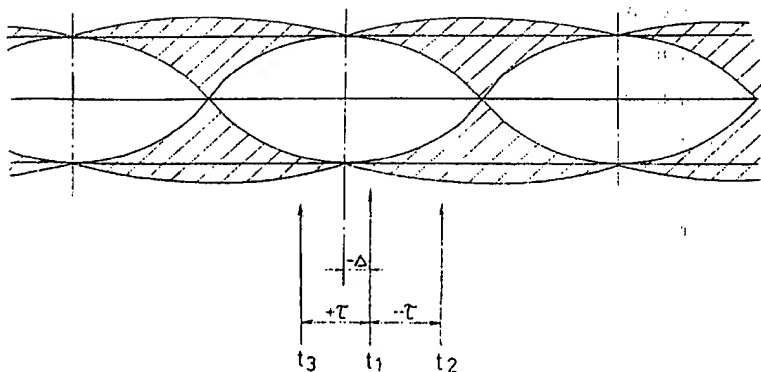
なお図中同一符号は同一又は相当部分を示す。

代 理 人 葛 野 信 一

第 1 図



第 2 図



第 3 図

